

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-351401

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

G09G 3/30  
G09G 3/20  
H05B 33/14

(21)Application number : 2001-253989

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.08.2001

(72)Inventor : OKABE MASASHI  
INOUE MITSUO  
IWATA SHUJI  
YAMAMOTO TAKU

(30)Priority

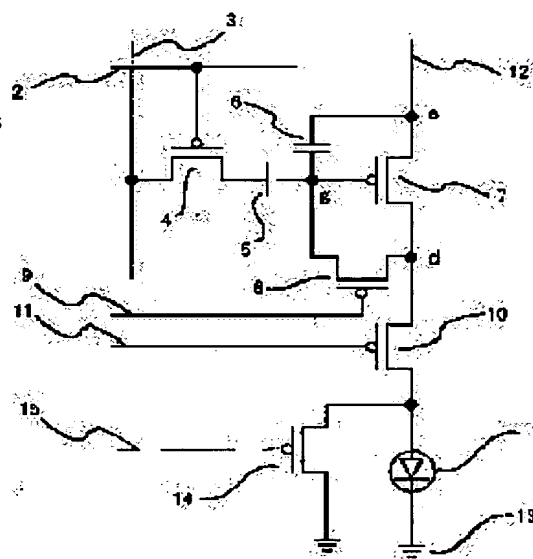
Priority number : 2001080427 Priority date : 21.03.2001 Priority country : JP

## (54) SELF-LIGHT EMISSION TYPE DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To solve such a problem that, in the driving circuit of a self-light emission type display device by an active matrix system, at the time of compensating variation in threshold voltage of transistor controlling currents of self-light emission type light emitting element, a noise current flows through the self-light emission type light emitting element.

**SOLUTION:** The self-light emission type display device in which a noise current is prevented from flowing through self-light emission type light emitting element, is constituted by providing a switching element capable of short-circuiting electrodes of the self-light emission type light emitting element and by making a noise current flow by being bypassed through the switching element by bringing the switching element into conduction before the noise current is made to flow through the light emitting element.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(43)公開日 平成14年12月6日(2002.12.6)

テーマート\* (参考)

3 K 0 0 7

A

審査請求 未請求 請求項の数5 OL (全 8 頁)

弁理士 宮田 金雄 (外1名)

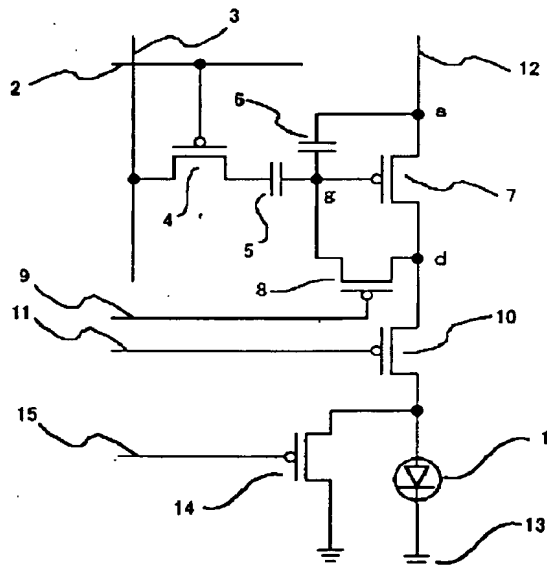
**最終頁に続く**

(54) 【発明の名称】 自発光型表示装置

(57) 【要約】

【課題】 この発明はアクティブマトリックス方式による自発光型表示装置の駆動回路において、自発型の発光素子の電流を制御するトランジスタの閾値電圧のばらつきを補償する際に、自発光型の発光素子にノイズ電流が流れるという問題があった。

【解決手段】 自発光型の発光素子の電極を短絡することが可能なスイッチング素子を設け、発光素子にノイズ電流が流れる時間に該スイッチング素子を導通させ、該スイッチング素子をバイパスしてノイズ電流を流すことにより、自発光型の発光素子にノイズ電流がながれることを防止した自発光型表示装置を構成する。



## 【特許請求の範囲】

【請求項1】 輝度制御を行う対象の画素を選択する選択線、輝度に対応した電圧を供給する輝度データ線、選択線の信号によって導通状態または非導通状態になる第1のトランジスタ、輝度データ線からの電圧を保持する第1及び第2のコンデンサ、自発光素子の電流値を制御する第2のトランジスタ、第2のトランジスタのゲートとドレインを接続または遮断する第3のトランジスタ、第3のトランジスタを導通状態または非導通状態に制御する信号電圧を供給する第1の制御信号線、発光素子と第2のトランジスタを接続または遮断する第4のトランジスタ、第4のトランジスタを導通状態または非導通状態に制御する信号電圧を供給する第2の制御信号線、及び上記自発光素子へ電圧を供給するための電圧供給線から構成される駆動回路を備えた自発光型表示装置において、上記自発光素子の電極を短絡することが可能なスイッチング素子を備えたことを特徴とする自発光型表示装置。

【請求項2】 上記自発光素子が有機エレクトロルミネッセンス素子である請求項1記載の自発光型表示装置。

【請求項3】 上記スイッチング素子がFETである請求項1又は2記載の自発光型表示装置。

【請求項4】 上記スイッチング素子を動作する信号を供給する信号線を、選択線または第1の制御信号線と共用する請求項1～3のいずれかに記載の自発光型表示装置。

【請求項5】 上記スイッチング素子が導通状態である期間に、抵抗素子が第4のトランジスタに直列に接続される請求項1～4のいずれかに記載の自発光型表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、アクティブマトリックス方式による自発光型表示装置における自発光素子(自発光型の発光素子)の輝度制御に関するものである。

## 【0002】

【従来の技術】図7は、例えば引用文献「T. P. Brody, et al., "A 6×6-in 20-lpi Electroluminescent Display Panel," IEEE Trans. on Electron Devices, Vol. ED-22, No. 9, pp. 739-748 (1975)」に示されたアクティブマトリックス方式による自発光型表示装置の画素1個に対応した従来の駆動回路である。Tr1は第1のトランジスタであり、スイッチング素子として動作する。Tr2は第2のトランジスタであり、自発光素子の電流を制御する駆動素子として動作する。C1は第1のトランジスタTr1のドレイン端子に接続されているコンデンサである。第2のトランジスタTr

2のドレイン端子には、自発光素子60が接続されている。次に動作について説明する。まず、第1のトランジスタTr1のゲート端子には選択線61の電圧が印加される。この時にソース端子に輝度データ線62から輝度データが所定の電圧で印加されると、第1のトランジスタTr1のドレイン端子に接続されたコンデンサC1には輝度データの大きさに対応した電圧レベルV1が保持される。第2のトランジスタTr2のゲート電圧に保持される電圧レベルV1の大きさがドレイン電流を流すのに十分な大きさであれば、電圧レベルV1の大きさに対応した電流が電圧供給線63から第2のトランジスタTr2のドレインに流れる。このドレイン電流が自発光素子の電流となり発光する。

【0003】図8は、このような動作で発光する場合の輝度ばらつきの発生について説明するための特性図であり、第2のトランジスタTr2のゲート・ソース間の電圧Vgsとドレイン電流Idの絶対値の関係を示したものである。製造上の要因で表示パネル全域にわたり同一特性のFETが得られない場合、閾値電圧Vtに例えば図8の(a)、(b)及び(c)に示すようなばらつきが生じる。このような特性をもつ第2のトランジスタTr2のゲート・ソース間に電圧レベルV1が印加されると、ドレイン電流の大きさはId(a)からId(c)の幅でばらつく。図7の自発光素子60は電流の大きさに対応した輝度で発光するため、このような第2のトランジスタTr2の特性におけるばらつきが自発光型表示装置における発光輝度のばらつきの原因となる。

【0004】図9は、上記のような自発光型表示装置における発光輝度のばらつきを改善するため提案された駆動回路を示す。この駆動回路は、例えば引用文献「R. M. A. Dawson, et al., "Design of an Improved Pixel for a Polysilicon Active-Matrix Organic LED Display", SID 98DIGEST, 4.2, pp. 11-14 (1998)」に示されており、画素1個に対応するものである。図10はこの駆動回路における時間と印加電圧の高低の関係により、動作タイミングを示す波形図である。図9において、1は発光材料とそれを挟む2つの電極で構成され、画素を構成する有機エレクトロルミネッセンス素子である。2は輝度制御を行う対象の画素を選択する信号電圧を供給する選択線、3は輝度に対応した電圧を供給する輝度データ線、4は選択線2の信号によって導通状態または非導通状態になる第1のトランジスタ、5及び6は輝度データ線3の信号電圧成分に対応した電圧を保持する第1及び第2のコンデンサ、7はs点に対するg点の電位差Vgsに対応して有機エレクトロルミネッセンス素子1の電流値を制御する第2のトランジスタ、8はg点とd点を接続または遮断する第3のトランジスタ、9は第3のトランジスタ8を導通状態ま

たは非導通状態に制御する信号電圧を供給する第1の制御信号線、10は有機エレクトロルミネッセンス素子1と第2のトランジスタ7を接続または遮断する第4のトランジスタ、11は第4のトランジスタ10を導通状態または非導通状態に制御する信号電圧を供給する第2の制御信号線である。12は有機エレクトロルミネッセンス素子1へ電圧を供給するための電圧供給線、13はアースである。なお、上記第1～第4のトランジスタはPチャネル型のFETである。

【0005】次に、動作について説明する。図9の第1から第4のトランジスタが全てPチャネル型のFETである場合、電圧供給線12には正の電圧が印加されるとして、図10に示す各電圧を輝度データ線3、第1の制御信号線9、第2の制御信号線11、及び選択線2に与える。まず時刻 $t_1$ で第1のトランジスタ4が導通して、有機エレクトロルミネッセンス素子1により構成された画素が選択される。このときの輝度データ線の電位は輝度ゼロに対応した電位 $V_0$ である。 $t_2$ でトランジスタ8が導通し $s$ 点に対する $g$ 点の電位差 $V_{gs}$ が第2のトランジスタ7の閾値電圧 $V_t$ （負値）よりも低い値になる。このとき有機エレクトロルミネッセンス素子1に電流が流れる。 $t_3$ で第4のトランジスタ10が非導通になると、 $V_{gs}$ が第2のトランジスタ7の閾値電圧 $V_t$ に到達するまでコンデンサ6の電荷が第3のトランジスタ8を通じて放電する。 $t_4$ で第3のトランジスタ8を非導通にし、コンデンサの電荷により $V_{gs}=V_t$ の状態を保持させる。

【0006】次に、 $t_5$ で輝度データ線3の電圧を $V_0$ から輝度データ電圧（負値）だけ変化、すなわち $V_0 + \text{〔輝度データ電圧〕}$ に減少させると、 $V_{gs}$ は輝度データ電圧に比例した電圧 $V_s$ （負値）と第2のトランジスタ7の閾値電圧 $V_t$ を加算した電圧 $V_s + V_t$ となる。 $t_6$ で第1のトランジスタ4を非導通としてから $t_7$ で輝度データ電圧の供給を停止し、 $V_{gs}=V_s + V_t$ の状態を保持させる。この関係式が示すように、このとき第2のトランジスタ7は $V_s$ に対して閾値電圧 $V_t$ が等価的に零になって動作する。これらの一連の過程が輝度データ書き込み期間であり、この状態でも8にトランジスタ10を導通させると、有機エレクトロルミネッセンス素子1に $V_s$ に対応した電流が流れて発光する。この発光状態は次のデータ書き込みを行うまで維持される。この回路は、有機エレクトロルミネッセンス素子1の電流すなわち輝度を制御する第2のトランジスタ7の閾値電圧を各画素で独立して補償することができるため、各画素を制御する第2のトランジスタ7における閾値電圧 $V_t$ のばらつきにより生ずる輝度のばらつきを抑制できるという利点がある。

【0007】

【発明が解決しようとする課題】従来例の駆動回路は、図9に示すように、各画素に対応する第2のトランジスタ

7における閾値電圧 $V_t$ のばらつきが輝度精度、すなわち輝度データに対する有機エレクトロルミネッセンス素子1の輝度の関係に及ぼす影響を解消することができるが、上記の動作の説明で述べたように、図10の時刻 $t_2$ で第3のトランジスタ8が導通状態となって $V_{gs}$ が閾値よりも低い値になる期間に、有機エレクトロルミネッセンス素子1に電流が流れる。さらに、その後 $t_3$ で第4のトランジスタ10を非導通にするときに第2の制御信号線11の電圧が変化するが、第4のトランジスタ10のゲート電極にコンデンサ成分があるため、このコンデンサ成分への充電電流が有機エレクトロルミネッセンス素子1を通じて流れる。また、有機エレクトロルミネッセンス素子1の発光材料を挟む2つの電極は不可避免的にコンデンサの電極として作用するため、ここに蓄積される電荷は第4のトランジスタ10の非導通期間に放電電流として有機エレクトロルミネッセンス素子1の発光材料を流れる。

【0008】これらの電流は上記のように、画素が選択されている期間内であって、第3のトランジスタ8が導通に転じる時点（図10では $t_2$ ）から第4のトランジスタ10が非導通に転じる時点（図10では $t_3$ ）までの時間に発生し、いずれも輝度データ信号には無関係なノイズ電流であり、不要な発光を生じて輝度精度の低下を招くという問題がある。

【0009】この発明は、この問題点を解決するためになされたものであり、各画素のデータ書き込み期間のノイズ電流による有機エレクトロルミネッセンス素子1の不要な発光を防ぎ、輝度精度の高い自発光型表示装置を得ることを目的とするものである。

【0010】

【課題を解決するための手段】この発明の第1の構成は、輝度制御を行う対象の画素を選択する選択線、輝度に対応した電圧を供給する輝度データ線、選択線の信号によって導通状態または非導通状態になる第1のトランジスタ、輝度データ線からの電圧を保持する第1及び第2のコンデンサ、自発光素子の電流値を制御する第2のトランジスタ、第2のトランジスタのゲートとドレインを接続または遮断する第3のトランジスタ、第3のトランジスタを導通状態または非導通状態に制御する信号電圧を供給する第1の制御信号線、自発光素子と第2のトランジスタを接続または遮断する第4のトランジスタ、第4のトランジスタを導通状態または非導通状態に制御する信号電圧を供給する第2の制御信号線、及び自発光素子へ電圧を供給するための電圧供給線から構成される駆動回路を備えた自発光型表示装置において、上記自発光素子の電極を短絡することが可能なスイッチング素子を備えている。

【0011】この発明の第2の構成は、第1の構成による自発光型表示装置であって、自発光素子を有機エレクトロルミネッセンス素子としている。

【0012】この発明の第3の構成は、第1又は第2の構成による自発光型表示装置であって、スイッチング素子をFETとしている。

【0013】この発明の第4の構成は、第1～第3のいずれかの構成による自発光型表示装置であって、上記スイッチング素子を動作する信号を供給する信号線を、選択線又は第1の制御信号線と共用している。

【0014】この発明の第5の構成は、第1～第4のいずれかの構成による自発光型表示装置であって、上記スイッチング素子が導通状態である期間に、抵抗素子を第4のトランジスタに対し直列に接続している。

【0015】

【発明の実施の形態】以下で、この発明の実施の形態を図に基づいて説明する。なお、各図中、同一符号は同一又は相当部分を示している。

実施の形態1. 図1及び図2は、この発明の実施の形態1によるノイズ電流抑制の手段を説明するための駆動回路及びタイミングを示す回路図及び波形図であり、具体的には、図1は前記スイッチング素子としてトランジスタを適用してすべてのトランジスタをPチャネル型FETとした場合の駆動回路を示す回路図、図2は図1における各信号電圧の動作タイミングを示す波形図である。図1において、1から13までの構成は図8の構成と同一である。14は有機エレクトロルミネッセンス素子1に並列接続したPチャネル型FETの第5のトランジスタ、15は第5のトランジスタ14を導通または非導通に制御する信号電圧を供給する第3の制御信号線である。同図の駆動回路の輝度データ書き込み期間において、画素が選択されている期間内(図2の $t_1 \sim t_8$ )であって、トランジスタ8が導通に転じる時点(同 $t_3$ )以前からトランジスタ10が非導通に転じる時点(同 $t_4$ )以降までの時間にトランジスタ14を導通させる。この動作によって有機エレクトロルミネッセンス素子1を構成する上記2つの電極が短絡する。図8においては第3のトランジスタ8が導通して $V_{gs}$ が閾値よりも低い値になる期間に有機エレクトロルミネッセンス素子1に不要な電流が流れるが、図1ではこの電流が第5のトランジスタ14を流れ有機エレクトロルミネッセンス素子1には流れない。さらに、 $V_{gs}$ を第2のトランジスタ7の閾値電圧に等しくさせる目的で第4のトランジスタ10を非導通にすべく第2の制御信号線11の電圧を変化させた際にも、第4のトランジスタ10におけるゲート電極のコンデンサ成分の充電電流は第5のトランジスタ14を流れ、有機エレクトロルミネッセンス素子1には流れない。また、有機エレクトロルミネッセンス素子1の2つの電極に蓄積された電荷は第5のトランジスタ14を介して放電されるため、この電荷による電流は有機エレクトロルミネッセンス素子1を流れない。

【0016】以下、図1の駆動回路の動作を、図2の波

形図において時刻 $t_1$ から $t_{10}$ の順に説明する。時刻 $t_1$ 以前は画素のデータを書き換える前の状態であり、輝度データに応じた電流が有機エレクトロルミネッセンス素子1に流れている。時刻 $t_1$ で第1のトランジスタ4が導通し画素が選択される。時刻 $t_2$ で第5のトランジスタ14が導通して有機エレクトロルミネッセンス素子1を構成する2つの電極が短絡されるため、有機エレクトロルミネッセンス素子1に電流が流れなくなり発光が停止する。同時に有機エレクトロルミネッセンス素子1に蓄積されている電荷が第5のトランジスタ14を通じて放電される。時刻 $t_3$ で第3のトランジスタ8が導通し $V_{gs}$ が第2のトランジスタ7の閾値電圧よりも低い電圧になる。このとき、第4のトランジスタ10には電流が流れるが、前の時刻 $t_2$ で有機エレクトロルミネッセンス素子1を構成する2つの電極が短絡されているため、第4のトランジスタ10を流れる電流は第5のトランジスタ14を流れ、有機エレクトロルミネッセンス素子1には流れない。すなわち、第4のトランジスタ10を流れる電流は第5のトランジスタ14をバイパスして流れる。このとき、第4のトランジスタ10のコンデンサ成分への充電電流も第5のトランジスタ14を流れ有機エレクトロルミネッセンス素子1には流れない。時刻 $t_4$ で第4のトランジスタ10が非導通になり、 $V_{gs}$ が第2のトランジスタ7の閾値電圧に等しくなる。時刻 $t_5$ で第3のトランジスタ8が非導通になり、第2のコンデンサ6に第2のトランジスタ7の閾値電圧が保持される。時刻 $t_6$ で第5のトランジスタ14が非導通になる。図2の時刻 $t_7$ から $t_{10}$ では第5のトランジスタ14は画素の駆動に作用しないので、図8および図9に示した従来の駆動回路と同様に動作する。

【0017】実施の形態1においては、駆動回路の5個のトランジスタは全てPチャネル型FETである場合について説明したが、一部もしくは全部のトランジスタがNチャネル型FETであってもよく、上記実施の形態1と同様の効果がある。第2のトランジスタ7は電流制御機能を有する素子、これ以外のトランジスタはスイッチング機能を有する素子であればよく、上記実施の形態1と同様の効果がある。また、上記の実施の形態1においては、自発光素子に有機エレクトロルミネッセンス素子を用いたが、無機EL等の自発光素子を用いた自発光型表示装置においても、上記実施の形態1と同様の効果が得られる。

【0018】実施の形態2. 図3は、この発明の実施の形態2によるノイズ電流を抑制する駆動回路を説明するための回路図である。図3においては、図1の第3の制御信号線15と選択線2が共用されている。図3の駆動回路を図9の動作タイミングを説明する波形図に基づいて動作させると、画素が選択されている期間内であって第3のトランジスタ8が導通に転じる時点以前から、第4のトランジスタ10が非導通に転じる時点以降の範囲

内で第5のトランジスタ14を導通させているので、実施の形態1と同様の効果がある。さらに、信号線が少なくなり、回路構成の複雑化を避けることができるという効果がある。

【0019】実施の形態3. 図4は、この発明の実施の形態3によるノイズ電流を抑制する駆動回路を説明するための回路図である。図4においては、図1の第3の制御信号線15と第1の制御信号線9が共用されている。図4の駆動回路を図9の動作タイミングを説明する波形図に基づいて動作させると、画素が選択されている期間内であって第3のトランジスタ8が導通に転じる時点以前から、第4のトランジスタ10が非導通に転じる時点以降の範囲内で第5のトランジスタ14を導通させているので、実施の形態1と同様の効果がある。さらに、信号線が少なくなり、回路構成の複雑化を避けることができるという効果がある。

【0020】実施の形態4. 図5は、この発明の実施の形態4によるノイズ電流を抑制する駆動回路を説明するための回路図である。図5においては、図1の第2のトランジスタ7と第4のトランジスタ10の間に抵抗素子16を挿入し、抵抗素子16に第6のトランジスタ17を並列に接続している。図5の駆動回路を図2のタイミングチャートにもとづいて動作させ、且つ、第6のトランジスタ17を少なくともトランジスタ14が導通状態の期間は非導通、それ以外の期間は導通の状態にする。その結果、前記の実施の形態1と同様の効果に加えて、トランジスタ14が導通状態の期間にはトランジスタ10に抵抗素子16が直列に挿入されるので、第3のトランジスタ8が導通して $V_{gs}$ が閾値よりも低い値になる期間に、第2、第4及び第5のトランジスタ7、10及び14を流れる電流を小さくして、消費電力を低減することができるという効果がある。

【0021】実施の形態5. 図6はこの発明の実施の形態5を示し、ノイズ電流を抑制する駆動回路を説明するための回路図である。図6においては、有機エレクトロルミネッセンス素子1と第4のトランジスタ10の間に抵抗素子16を挿入し、抵抗素子16に第6のトランジスタ17を並列に接続している。図6の駆動回路を図2のタイミングチャートに基づいて動作させ、且つ、第6のトランジスタ17を少なくとも第5のトランジスタ14が導通状態の期間は非導通、それ以外の期間は導通の状態にする。その結果、前記の実施の形態1と同様の効果に加えて、第5のトランジスタ14が導通状態の期間には第4のトランジスタ10に抵抗素子16が直列に挿入されるので、第3のトランジスタ8が導通して $V_{gs}$ が閾値よりも低い値になる期間に、第2、第4、及び第5のトランジスタ7、10及び14を流れる電流を小さくして、消費電力を低減することができるという効果がある。さらに、第4のトランジスタ10のコンデンサ成分への充電電流を小さくして、消費電力を低減すること

ができるという効果がある。

【0022】実施形態4及び5において、たとえば第5のトランジスタ14がPチャネル型FETの場合は第6のトランジスタ17をNチャネル型FET、第5のトランジスタ14がNチャネル型FETの場合は第6のトランジスタ17をPチャネル型FETとするなど、同一の制御信号で導通と非導通が互いに逆になる構成とすることにより、図5及び図6の第4の制御信号線18は第3の制御信号線15と共用でき、制御信号線を少なくできるという効果がある。また、この構成は実施の形態2もしくは3にも適用できる。実施の形態2～4の説明では、エレクトロルミネッセンス素子として有機エレクトロルミネッセンス素子を例に挙げたが、無機ELなど他の自発光素子を用いても同様の効果がある。

#### 【0023】

【発明の効果】この発明の第1～第3の構成によれば、自発光型表示装置の各画素の駆動回路に輝度信号を書き込む際に、自発光素子の電極をスイッチング素子により短絡するようにしたので、上記自発光素子を流れるノイズ電流を抑制することができ、輝度精度が高い自発光型表示装置が得られる効果がある。

【0024】この発明の第4の構成によれば、この発明の構成1～3の構成において、上記スイッチング素子を動作する信号を供給する信号線を、選択線または第1の制御信号線と共用したので、信号線が少なくなり、回路構成の複雑化を避けることができるという効果がある。

【0025】この発明の第5の構成によれば、この発明の構成1～4の構成において、上記スイッチング素子が導通状態である期間に、抵抗素子を第4のトランジスタに直列に接続したので、トランジスタを流れる電流を小さくして、消費電力を低減することができるという効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1による駆動回路を説明するための回路図である。

【図2】 この発明の実施の形態1による駆動回路の動作を説明するための波形図である。

【図3】 この発明の実施の形態2による駆動回路を説明するための回路図である。

【図4】 この発明の実施の形態3による駆動回路を説明するための回路図である。

【図5】 この発明の実施の形態4による駆動回路を説明するための回路図である。

【図6】 この発明の実施の形態5による駆動回路を説明するための回路図である。

【図7】 従来の駆動回路を説明するための回路図である。

【図8】 従来における発光素子の電流を制御するトランジスタの閾値電圧とドレイン電流の関係を説明するための特性図である。

【図9】 従来の駆動回路を説明するための回路図である。

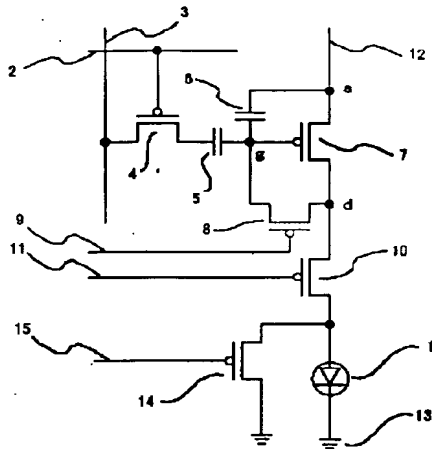
【図10】 従来の駆動回路の動作を説明するための波形図である。

【符号の説明】

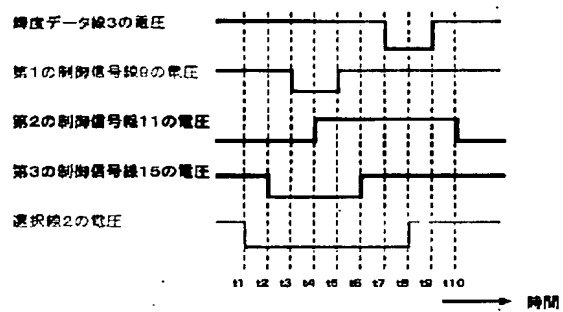
1 有機エレクトロルミネッセンス素子、2 選択線、3 輝度データ線、4 第1のトランジスタ、5 第

1のコンデンサ、6 第2のコンデンサ、7 第2のトランジスタ、8 第3のトランジスタ、9 第1の制御信号線、10 第4のトランジスタ、11 第2の制御信号線、12 電圧供給線、14 第5のトランジスタ、15 第3の制御信号線、16 抵抗素子、17 第6のトランジスタ、18 第4の制御信号線。

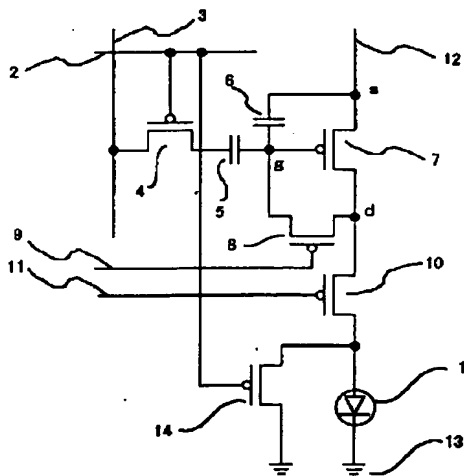
【図1】



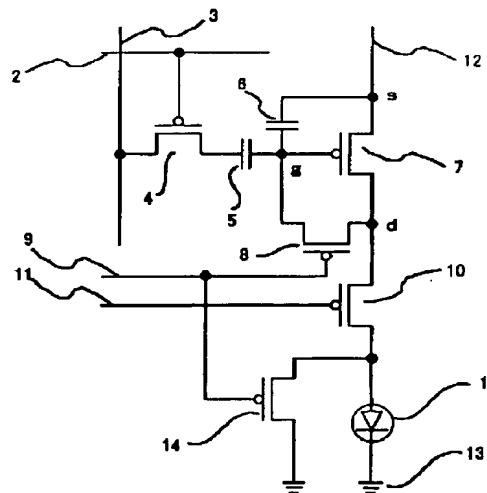
【図2】



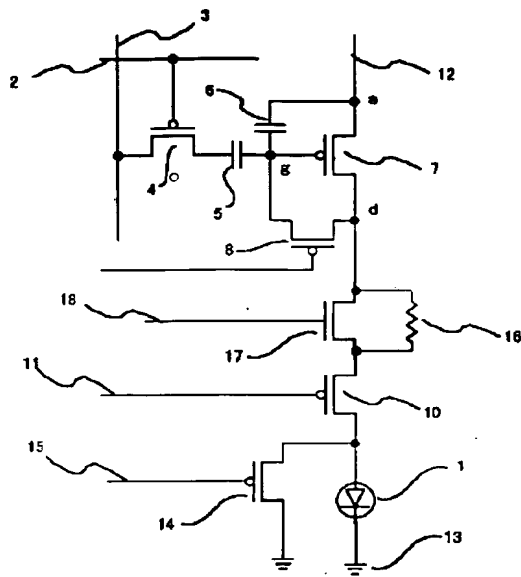
【図3】



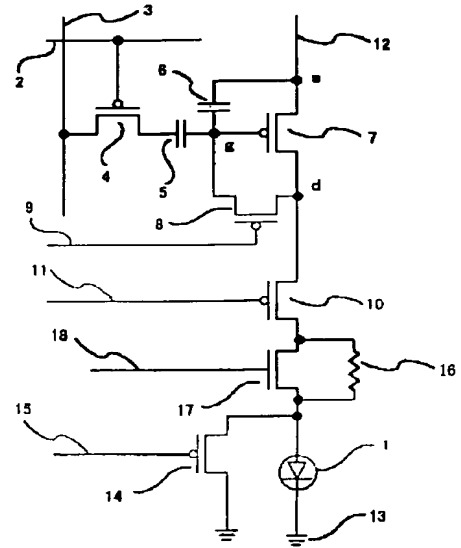
【図4】



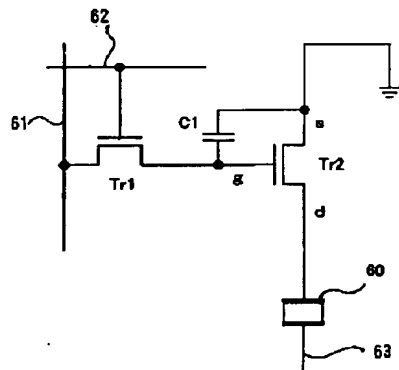
【図5】



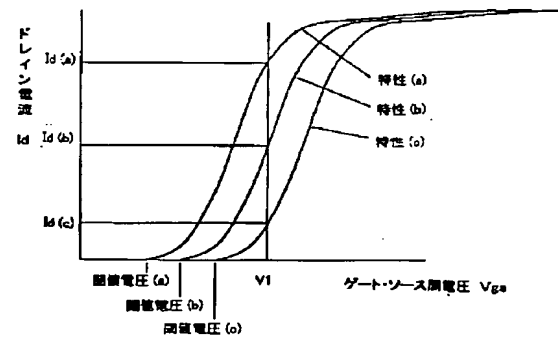
【図6】



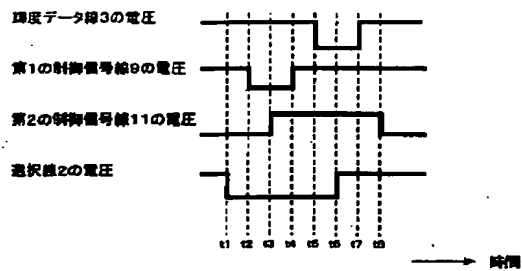
【図7】



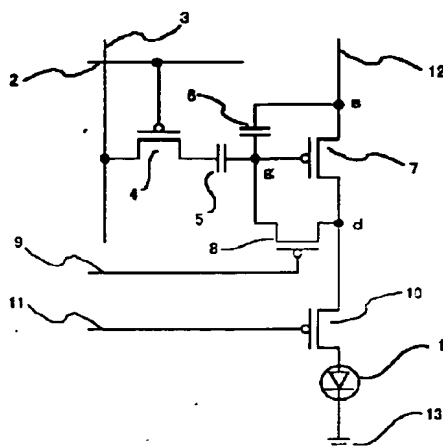
【図8】



【図10】







(72)発明者 岩田 修司  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 山本 卓  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
Fターム(参考) 3K007 AB02 AB05 AB18 BA06 DA01  
DB03 EB00 GA04  
5C080 AA06 BB05 DD03 EE28 FF11  
JJ03 JJ04 JJ05